



JP 8-65609

RECEIVED

NOV 12 2004

Technology Center 2600

- (19) Japanese Patent Office (JP)
 (12) Laid-Open Disclosure Public Patent Bulletin
 (11) Patent Application Laid-Open Disclosure No.: 8-65609
 (43) Publication Date: March 8, 1996
 (51)

Int.Cl. ⁶		Domestic Classification Symbol	JPO File Number
H04N	5/66	102 B	
G02F	1/133	550	
G09G	3/20	U	4237-5H
		V	4237-5H
	3/36		

Request for Examination: Not Made

Number of Claims: 7 FD (7 Pages in Total)

Continued to the Last Page

(21) Patent Application No.: Hei 6-222590

(22) Patent Application Date: August 24, 1994

(71) Applicant: 000002185

Sony Corporation

6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

(72) Inventor: Hiroyuki YOSHINE

c/o Sony Corporation 6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

(74) Agent: Patent Attorney Harutoshi SUZUKI

(54) [Title of the Invention]

Display device

(57) [Abstract]

[Purpose] The screen linearity of an active matrix display panel comprising a driver circuit built-in can be adjusted in simple and easy structure.

[Constitution] The display device comprises a display panel 1, a decoder/driver 2 which inputs picture signals Vsig thereinto, and a timing generator 3 which inputs clock signals VCK and HCK into the display panel 1. The display panel 1 comprises a pixel

array 4 arranged in a matrix, a vertical driver circuit 5 and a horizontal driver circuit 6. These driver circuits 5 and 6 operate in response to clock signals VCK and HCK being input, and write picture signals Vsig being input to the pixel array 4 sequentially so that the screen is displayed. The timing generator 3 comprises an FM modulation means 7 which modulates frequency of clock signals VCK and HCK, according to the linearity data given, and adjusts the linearity of the displayed screen.

[Scope of Claims]

[Claim 1] A display device comprising a display panel, a decoder/driver to input a picture signal thereto, and a timing generator to input a clock signal into the display panel, wherein:

the display panel comprises a pixel array arranged in a matrix and a driver means that operates in response to the input clock signal and writes the input picture signal sequentially into the pixel array so that a screen is displayed; and

the timing generator comprises an FM modulation means that modulates frequency of the clock signal according to linearity data given, and adjusts linearity of the displayed screen.

[Claim 2] A display device according to claim 1, wherein:

the FM modulation means is a phase locked loop circuit comprising a phase comparator and a voltage controlled oscillator;

a synchronizing signal separated from a picture signal is applied to an input terminal of the phase comparator;

a control voltage according to the linearity data is mixed to an input terminal of the voltage controlled oscillator; and

the clock signal whose frequency is modulated is taken out from an output terminal of the voltage controlled oscillator.

[Claim 3] A display device according to claim 1, wherein:

the driver means comprises a horizontal driver circuit that samples a picture signal sequentially for one row of the pixel array, in response to a horizontal clock signal; and

the FM modulation means modulates frequency of the horizontal clock signal according to horizontal linearity data given, and adjusts horizontal linearity of the display screen.

[Claim 4] A display device according to claim 1, wherein:

the driver means comprises a vertical driver circuit that chooses each row of the pixel array sequentially, in response to a vertical clock signal; and

the FM modulation means modulates frequency of the vertical clock signal

according to vertical linearity data given, and adjusts vertical linearity of the display screen.

[Claim 5] A display device according to claim 1, wherein:

the display panel comprises a pixel array that can display a 16:9 wide screen;

the decoder/driver inputs a picture signal that corresponds to a 4:3 normal screen to the display panel; and

the timing generator comprises an FM modulation means that can adjust the linearity so that a normal screen is displayed being adapted to a wide screen.

[Claim 6] A display device according to claim 1, wherein the display panel is a liquid crystal display panel of active matrix type.

[Claim 7] A timing generator to supply a clock signal to a display panel comprising a pixel array arranged in a matrix and its driver circuit built-in so that the driver circuit operates and a screen is displayed on the pixel array, comprising:

an FM modulation means that modulates frequency of the clock signal according to linearity data given, so that the linearity of the screen displayed on the display panel is adjusted.

[Detailed Description of the Invention]

[0001]

[Field of the Industrial Application] The present invention relates to a display device comprising an active matrix display panel, a decoder/driver that inputs picture signals thereto, and a timing generator that inputs clock signals into the display panel. More specifically, the present invention relates to a linearity adjustment technique of screen displayed on a display panel.

[0002]

[Related Art] A display panel of active matrix type comprises a plurality of gate lines wired in the shape of rows and a plurality of signal lines wired in the shape of columns, and a plurality of pixels placed in each intersection of the row and the column. The pixels, comprising a minute liquid crystal cell, for example, are arranged in a matrix to constitute a screen. A thin film transistor is formed to be integrated in correspondence with an individual pixel for switching this. In addition, a vertical driver circuit is provided, and it operates in response to a vertical clock signal input from a timing generator, vertically scans each gate line sequentially, and chooses pixels for one row every one horizontal period. Furthermore, a horizontal driver circuit is provided, and it scans each signal line sequentially in one horizontal period in response to a horizontal clock signal input from a timing generator, samples a picture signal input from a decoder/driver, and writes this into the pixels in one row that is chosen.

[0003]

[Problems to be Solved by the Present Invention] There are various kinds of standards for existing picture signals for television. A picture signal according to NTSC system and a picture signal of high vision system can be given as examples. As shown in Fig. 8, a picture signal of NTSC system is input into a display panel having 4:3 aspect ratio, and a normal screen is projected. On the other hand, a picture signal of high vision system is input into a display panel having 16:9 aspect ratio, and an oblong wide screen is projected. In this way, the existing display panel includes one for normal screen having 4:3 aspect ratio and one for wide screen having 16:9 aspect ratio. Each of them is used separately depending on the picture signal's standard. However, sometimes, a picture signal of NTSC system is input into a wide screen display panel for high vision system. That is to say, there is a case where picture signals of high vision system and NTSC system both are used in a display panel for wide screen. In that case, the vertical driver circuit and the horizontal driver circuit built in the display panel operate in response to the constant clock signals supplied from the timing generator. Therefore, when a picture signal of NTSC system is input, a screen that is extended in a transverse direction (that is, contracted in an up-and-down direction) is to be projected on the display panel for wide screen. That is to say, an expansive screen is projected since the conventional display panel for wide screen cannot control the screen linearity of horizontal direction or vertical direction, which is a problem that should be solved.

[0004] Conventionally, CRT besides a display panel is widely adopted for displays for televisions. As shown in Fig. 9, CRT includes one for normal type having 4:3 aspect ratio, and one for wide type having 16:9 aspect ratio. In the case of using CRT, image processing is conducted to make the picture signal of NTSC system to be for wide type. That is, the picture signal of NTSC system is written into image memories or the like once, and predetermined arithmetic processing is conducted, so that the linearity is adjusted. In an example shown in Fig. 9, a good-looking image is projected by extending only periphery of the wide screen, and it is called panorama mode or cinerama mode. In this way, the linearity of a screen can be adjusted freely when image memories or the like are used. However, it is a system in which picture signals are processed digitally, and the number of parts has to be increased. Thus, applying this system for display panels or the like is not always appropriate.

[0005]

[Means to Solve the Problems] In view of the foregoing conventional problems, it is an object of the present invention to provide a technique of adjusting or correcting the linearity of a screen projected on a display panel, in a simple way. In order to achieve

the object, the following measures are taken. That is, a display device of the present invention comprises a display panel, a decoder/driver to input a picture signal thereto, and a timing generator to input a clock signal into the display panel, as a basic structure. The display panel comprises a pixel array arranged in a matrix and a peripheral drive means built-in. The drive means operates in response to a clock signal input from the timing generator, and writes a picture signal that is input from the decoder/driver into the pixel array sequentially so that a screen is displayed. As characteristics of the present invention, the timing generator comprises an FM modulation means that modulates frequency of the clock signal according to linearity data given, and adjusts linearity of the displayed screen. Specifically, the FM modulation means is a phase locked loop circuit comprising a phase comparator and a voltage controlled oscillator. A synchronizing signal separated from the picture signal is applied to an input terminal of the phase comparator, and a control voltage according to the linearity data is mixed to an input terminal of the voltage controlled oscillator. As a result, the clock signal whose frequency is modulated is taken out from an output terminal of the voltage controlled oscillator.

[0006] More specifically, the driver means comprises a horizontal driver circuit that samples a picture signal sequentially for one row of the pixel array, according to a horizontal clock signal. The FM modulation means modulates frequency of the horizontal clock signal according to horizontal linearity data given, and adjusts horizontal linearity of the display screen. Furthermore, the driver means comprises a vertical driver circuit that chooses each row of the pixel array sequentially, in response to a vertical clock signal. The FM modulation means modulates frequency of the vertical clock signal according to vertical linearity data given, and adjusts vertical linearity of the display screen. According to one of the embodiments, the display panel comprises a pixel array that can display a 16:9 wide screen, and a liquid crystal display panel of active matrix type, for example, is adopted. On the other hand, the decoder/driver inputs a picture signal that corresponds to a 4:3 normal screen to the display panel. In this case, the FM modulation means that is included in the timing generator makes it possible to adjust the linearity so that a normal screen is displayed by adapting to a wide screen.

[0007]

[Function] According to the present invention, a timing generator generates a clock signal, and controls the operation of a horizontal driver circuit and a vertical driver circuit built in a display panel, so that the linearity of the displayed screen is adjusted. That is, the timing generator comprises an FM modulation means, and the linearity of

the display screen can be corrected by FM-modulating frequency of the clock signal. The FM modulation means converts the linearity data set beforehand into a control voltage which is then applied to a voltage controlled oscillator of a phase locked loop circuit. In the case of adjusting the linearity of horizontal direction, a horizontal synchronizing signal is input into an input of the phase locked loop circuit, and a control voltage corresponding to horizontal linearity data is applied to an input of the voltage controlled oscillator. By this, the horizontal clock signal whose frequency is modulated is output from a voltage control oscillating circuit. For example, when the horizontal clock signal becomes high-speed in accordance with horizontal linearity data, a sampling rate of a picture signal becomes high, and the screen is extended in a horizontal direction. On the other hand, in the case of correcting the linearity of vertical direction, a vertical synchronizing signal is input into an input of the phase locked loop circuit, and a control voltage corresponding to vertical linearity data is applied to an input of the voltage controlled oscillator. By this, the vertical clock signal whose frequency is modulated is output from an output of the voltage controlled oscillator.

[0008]

[Description of the Preferred Embodiments] Preferred embodiments of the present invention will be described in detail hereinafter, referring to drawings. Fig. 1 is a block diagram to show the basic structure of a display device of the present invention. As shown in the figure, this display device comprises a display panel 1, a decoder/driver 2 that supplies a picture signal thereto, and a timing generator 3 that controls drive of the display panel 1. The display panel 1 comprises a pixel array 4 wherein a plurality of pixels is arranged in a matrix, a vertical driver circuit 5, and a horizontal driver circuit 6. The pixel array 4 comprises countless pixels arranged in accordance with a high vision standard, for example, and constitutes a screen having 16:9 aspect ratio. The present invention is not limited to this, and the pixel array 4 may be the one that constitutes a screen having 4:3 aspect ratio in accordance with NTSC system, for example. The vertical driver circuit 5 chooses pixels for one row every one horizontal period sequentially, and finishes vertical scanning of the screen once in one vertical period. The horizontal driver circuit 6 writes a picture signal for one horizontal period into the pixels for one row that is chosen.

[0009] The decoder/driver 2 comprises a decoder part that is supplied with a power supply voltage of 5V, and a driver part that is supplied with a power supply voltage of 12V, for example. The decoder part decodes a component video signal VIDEO input from the outside, and takes out a luminance signal and a chroma signal. Furthermore,

a vertical synchronizing signal Vsync and a horizontal synchronizing signal Hsync which are separated from the component video signal VIDEO are transferred to the timing generator 3 side. The driver part supplies the picture signal Vsig that becomes alternating current to the display panel 1 side, dividing them into every three primary colors RGB, according to an inverted signal FRP that is input from the timing generator 3.

[0010] The timing generator 3 makes various timing signals based on synchronizing signals Vsync and Hsync, and supplies them to the display panel 1 to perform the timing control. That is, a vertical start signal VST and a vertical clock signal VCK are supplied to the vertical driver circuit 5, and pixels for one row are to be chosen sequentially. Furthermore, a horizontal start signal HST and a horizontal clock signal HCK are supplied to the horizontal driver circuit 6, and the picture signal Vsig for one horizontal period is to be written into the pixels for one row that is chosen.

[0011] As characteristics of the present invention, the timing generator 3 comprises an FM modulation means 7, and modulates frequency of the clock signal according to the linearity data set beforehand, so that the linearity of the screen displayed on the pixel array 4 is adjusted. Specifically, the FM modulation means 7 modulates frequency of the horizontal clock signal HCK according to the predetermined horizontal linearity data, so that horizontal linearity of the display screen is adjusted. Furthermore, frequency of the vertical clock signal VCK is modulated according to the predetermined vertical linearity data, so that the vertical linearity of the display screen is adjusted.

[0012] Fig. 2 is a block diagram to show a concrete structure example of the FM modulation means shown in Fig. 1, and in this example, the horizontal clock signal HCK is FM-modulated. As shown in the figure, the FM modulation means comprises a phase locked loop circuit (PLL), and outputs the horizontal clock signal HCK, synchronized with a horizontal synchronizing signal Hsync output every one horizontal period. The PLL comprises a phase fixing closed loop comprising a voltage controlled oscillator (VCO) 11, a $1/n$ frequency divider 12, a phase comparator (P/C) 13, and a low-pass filter (LPF) 14. HCK generated in VCO 11 is divided by the frequency divider 12 into $1/n$. The phase comparator 13 conducts phase comparison of the output of the frequency divider 12 and the horizontal synchronizing signal Hsync. This horizontal synchronizing signal is separated and extracted from the picture signal external-input by the decoder/driver. The output result of the phase comparator 13 becomes an error signal through LPF 14, gives feedback to the VCO 11, and adjusts the oscillating frequency. As a result, the horizontal clock signal HCK that is phase-fixed to the horizontal synchronizing signal Hsync is generated. As characteristics of this

circuit, a setter 15 is comprised, and desired horizontal linearity data is set. This horizontal linearity data has a length corresponding to one horizontal period. The horizontal linearity data is converted into a control voltage that corresponds, through an amplifier 16, and mixed in an input terminal of VCO 11. Oscillating frequency of VCO 11 changes according to largeness of the control voltage, and FM modulation of HCK is conducted. In the example shown in Fig. 2, the linearity data shows a small value in the center part of one horizontal period, and frequency of HCK becomes relatively low in response to this. On the contrary, the linearity data is large in the front and the back of the horizontal period, and frequency of HCK becomes high in response to this.

[0013] Fig. 3 is a block diagram showing another concrete structure example of the FM modulation means, and in this example, the vertical clock signal VCK is FM-modulated. The basic structure is similar to the circuit shown in Fig. 2, that is, a phase locked loop circuit comprising a VCO 12, 1/m frequency divider 22, P/C 23, LPF 24, and the like. Characteristically, a setter 25 is comprised, and vertical linearity data for one vertical period is recorded. The data is converted into a control voltage that corresponds, through an amplifier 26, and applied to an input terminal of VCO 21. Furthermore, a vertical synchronizing signal Vsync is applied to an input terminal of P/C 23.

[0014] Fig. 4 is a circuit diagram that shows still another example of an FM modulation means. In this example, HCK and VCK both are FM-modulated and output. Basically, it has a structure in which a phase locked loop circuit shown in Fig. 2 and a phase locked loop circuit shown in Fig. 3 are serially-connected, and corresponding reference number is put on the corresponding parts in order to make it easier to be understood. As shown in Fig. 4, a vertical synchronizing signal Vsync is applied to an input terminal of the phase locked loop circuit in the former part, and a vertical clock signal VCK that is FM-modulated is output from VCO 21. The VCK is supplied to the display panel, and is applied to an input terminal of the phase locked loop circuit in the latter part as a substitute for a horizontal synchronizing signal. As a result, a horizontal clock signal HCK that is FM-modulated is output from VCO 11.

[0015] Next, operation of a display device of the present invention will be described in detail, referring to Fig. 5. For example, Vsig comprising a circular pattern in a part is supplied to the display panel as a picture signal Vsig. On the other hand, the horizontal clock signal HCK is FM-modulated in accordance with the horizontal linearity data given. (A) is the case wherein frequency of HCK is relatively low, and a circular pattern that is included in Vsig is sampled synchronizing with four HCKs. This number is to simplify the explanation, and, actually, there is more than this. In

the case shown in (B), frequency of HCK is high, and a circular pattern that is included in Vsig is sampled responding to seven HCKs. For example, a circular pattern that is sampled responding to relatively low speed HCK as shown in (A) is displayed as an image just as the original form. On the other hand, in the case of being sampled with high speed HCK, the pattern is projected as an image extended in a transverse direction. In this way, in the present invention, the horizontal linearity of the screen is adjusted or corrected freely by simply modulating frequency of HCK. In the same way, the vertical linearity of the screen can be adjusted or corrected freely by modulating frequency of VCK.

[0016] Fig. 6 is a schematic diagram showing an example of linearity correction. In any case, a picture signal responding to a 4:3 normal screen is input to the display panel, and on the contrary, the display panel comprises a pixel array that can display a 16:9 wide screen. An FM modulation means built in a timing generator adjusts the linearity so that a normal screen is displayed being adapted to a wide screen. In (A) case, for example, the horizontal linearity data is large in the front and back parts of one horizontal period, and only left and right periphery of the displayed screen is extended in a transverse direction. In (B) case, the vertical linearity data shows large value in the front and back parts of one vertical period, and only peripheral part of the displayed screen is extended in up-and-down direction. (C) is the case wherein (A) and (B) are combined, and peripheral part of the screen is extended toward the corners.

[0017] Last, a concrete structure example of the display panel shown in Fig. 1 will be described, referring to Fig. 7. This display panel comprises a plurality of gate lines X wired in the shape of rows and a plurality of signal lines Y wired in the shape of columns, and a plurality of pixels PXL placed in each intersection of the row and the column. The pixels PXL, comprising a minute liquid crystal cell, for example, are arranged in a matrix to constitute a pixel array. A switching element such as a thin film transistor Tr is formed to be integrated with respect to an individual pixel PXL for driving this. In addition, a vertical driver circuit 5 is comprised, and it vertically scans each gate line X sequentially in response to VST and VCK that is FM-modulated, and chooses pixels PXL for one row every one horizontal period. Vertical scanning is finished once in one vertical period. Furthermore, a horizontal driver circuit 6 is provided, and it scans each signal line Y sequentially in one horizontal period in response to HST and HCK whose frequency is modulated, samples a picture signal Vsig that is supplied from a video line 30, and writes this point-sequentially into the pixels PXL in one row that is chosen. Specifically, each signal line Y is connected with a video line 30 through a horizontal switch HSW, and is supplied with the picture signal

Vsig from the outside. The horizontal driver circuit 6 comprises a shift register, and sequentially outputs sampling pulse ϕ_H by sequentially transferring HST in response to HSK, so that each horizontal switch HSW is sequentially switch-driven, and the picture signal Vsig is sampled for each signal line Y.

[0018]

[Effect of the Invention] As described above, according to the present invention, linearity of a display screen can be adjusted by modulating frequency of a clock signal of a shift register that constitutes a driver circuit built in a display panel, so any digital processing or analog processing is unnecessary. That is, linearity correction can be realized by modulating frequency of the clock signal that is originally necessary for drive of the display panel, which means the linearity correction is dealt with by the small number of parts.

[Brief Description of the Drawings]

Fig. 1 is a block diagram showing the total structure of a display device of the present invention.

Fig. 2 is a circuit diagram showing an example of an FM modulation means that is a substantial part of the present invention.

Fig. 3 is a circuit diagram showing another example of an FM modulation means.

Fig. 4 is a circuit diagram showing still another example of an FM modulation means.

Fig. 5 is a schematic diagram for describing the operation of a display device of the present invention.

Fig. 6 is a schematic diagram showing an example of screen linearity correction.

Fig. 7 is a block diagram showing an example of a display panel built in a display device of the present invention.

Fig. 8 is a schematic diagram for describing the problems to be solved by the present invention.

Fig. 9 is also a schematic diagram for describing the problems to be solved by the present invention.

[Description of the Reference Symbols]

- 1: display panel
- 2: decoder/driver
- 3: timing generator
- 4: pixel array

- 5: vertical driver circuit
- 6: horizontal driver circuit
- 7: FM modulation means
- 11: voltage controlled oscillator
- 12: 1/n frequency divider
- 13: phase comparator
- 14: low-pass filter
- 15: setter
- 16: amplifier

Continued from the front page

(51)

Int.Cl.⁶

Domestic Classification JPO File Number
Symbol

G09G	5/00	520	W	9377-5H
------	------	-----	---	---------

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010697817 **Image available**

WPI Acc No: 1996-194772/199620

XRPX Acc No: N96-163384

Active matrix type display device - has FM unit which modulates clock signal according to supplied linearity data and hence regulates linearity of display screen

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8065609	A	19960308	JP 94222590	A	19940824	199620 B

Priority Applications (No Type Date): JP 94222590 A 19940824

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8065609	A		7 H04N-005/66	

Abstract (Basic): JP 8065609 A

The device has a decoder unit (2) which inputs a video signal (Vsig) to the display panel (1). The clock signal (VCK,HCK) are input by a timing generator (3) to the display panel. The display panel consists of a pixel array (4), and a perpendicular drive circuits (5) and a horizontal drive circuit (6). The drive circuits are operated according to the input clock signal.

The input video signal is sequentially written on the pixel array and the drive circuits and a screen is displayed. The timing generator output clock signal is modulated to control display linearity.

ADVANTAGE - Provides simple composition. Reduces parts count.

Eliminates requirement for digital and analog processing of video signal.

Dwg. 1/9

Title Terms: ACTIVE; MATRIX; TYPE; DISPLAY; DEVICE; FM; UNIT; MODULATE;

CLOCK; SIGNAL; ACCORD; SUPPLY; LINEAR; DATA; REGULATE; LINEAR; DISPLAY; SCREEN

Derwent Class: P81; P85; T04; U14; U22; W03

International Patent Class (Main): H04N-005/66

International Patent Class (Additional): G02F-001/133; G09G-003/20;

G09G-003/36; G09G-005/00

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05110109 **Image available**

DISPLAY DEVICE

PUB. NO.: 08-065609 [JP 8065609 A]

PUBLISHED: March 08, 1996 (19960308)

INVENTOR(s): YOSHINE HIROYUKI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-222590 [JP 94222590]

FILED: August 24, 1994 (19940824)

INTL CLASS: [6] H04N-005/66; G02F-001/133; G09G-003/20; G09G-003/36;
G09G-005/00

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To adjust the screen linearity of an active matrix type display panel, in which driving circuits are built, through simple constitution.

CONSTITUTION: The display device is equipped with the display panel 1, a decoder driver 2 which inputs a video signal Vsig thereto, and a timing generator 3 which inputs clock signals VCK and HCK to the display panel 1. The display panel 1 is equipped with pixel arrays 4 arranged in matrix, and the vertical driving circuit 5 and horizontal driving circuit 6. Those driving circuits 5 and 6 operate according to the inputted clock signals VCK and HCK and write the inputted video signal Vsig in the pixel arrays 4 in order to display a screen. The timing generator 3 is equipped with an FM modulating means 7 which modulates the frequencies of the clock signals VCK and HCK according to given linearity data to adjust the linearity of the displayed screen.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-65609

(43) 公開日 平成8年(1996)3月8日

(5) IntCl ¹	識別記号	序内整理番号	FI	技術表示箇所
H04N 5/66	102 B			
G02F 1/133	550			
G09G 3/20		U 4237-5H		
		V 4237-5H		
3/36				

審査請求 未請求 請求項の数 7 FD (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-222590

(22) 出願日 平成6年(1994)8月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 芳根 裕之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

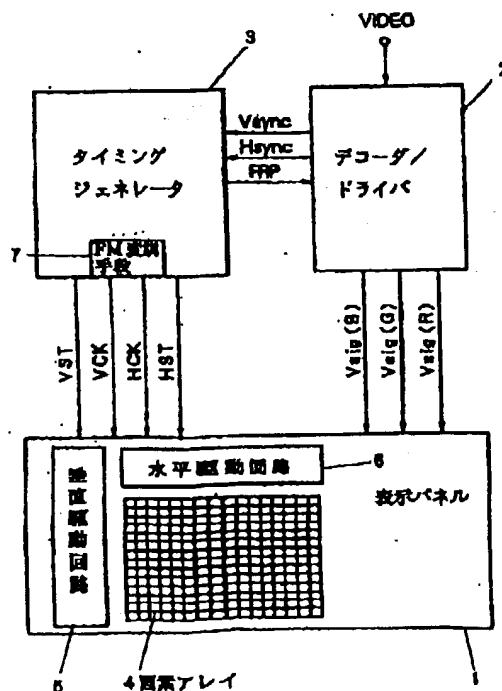
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 駆動回路を内蔵するアクティブマトリクス型表示パネルの画面リニアリティを簡便な構成で調整可能とする。

【構成】 表示装置は表示パネル1と、これに映像信号Vsigを入力するデコーダ/ドライバ2と、表示パネル1にクロック信号VCK, HCKを入力するタイミングジェネレータ3とを備えている。表示パネル1は行列配置した画素アレイ4と、垂直駆動回路5及び水平駆動回路6を備えている。これらの駆動回路5, 6は入力されたクロック信号VCK, HCKに応じて動作し、入力された映像信号Vsigを順次画素アレイ4に書き込んで画面を表示する。タイミングジェネレータ3は与えられたリニアリティデータに従ってクロック信号VCK, HCKの周波数を変調するFM変調手段7を備えており、表示された画面のリニアリティを調整する。



(2)

特開平8-65609

1

【特許請求の範囲】

【請求項1】 表示パネルと、これに映像信号を入力するデコーダ／ドライバと、該表示パネルにクロック信号を入力するタイミングジェネレータとを備えた表示装置であって、

前記表示パネルは、行列配置した画素アレイと、入力されたクロック信号に応じて動作し入力された映像信号を順次該画素アレイに書き込んで画面を表示する駆動手段とを備えており、

前記タイミングジェネレータは与えられたリニアリティデータに従って該クロック信号の周波数を変調するFM変調手段を備えており、表示された該画面のリニアリティを調整する事の特徴とする表示装置。

【請求項2】 前記FM変調手段は位相比較器及び電圧制御発振器を含むフェーズロックループ回路であり、該位相比較器の入力端子には映像信号から分離した同期信号が印加され、該電圧制御発振器の入力端子には該リニアリティデータに応じた制御電圧が混合され、該電圧制御発振器の出力端子から周波数変調されたクロック信号が取り出される事の特徴とする請求項1記載の表示装置。

【請求項3】 前記駆動手段は水平クロック信号に応じて該画素アレイの一行分に対し順次映像信号のサンプリングを行なう水平駆動回路を含んでおり、前記FM変調手段は与えられた水平リニアリティデータに従って該水平クロック信号を周波数変調し該表示画面の水平リニアリティを調整する事の特徴とする請求項1記載の表示装置。

【請求項4】 前記駆動手段は垂直クロック信号に応じて該画素アレイの各行を順次選択する垂直駆動回路を含んでおり、前記FM変調手段は与えられた垂直リニアリティデータに従って該垂直クロック信号を周波数変調し該表示画面の垂直リニアリティを調整する事の特徴とする請求項1記載の表示装置。

【請求項5】 前記表示パネルは16対9のワイド画面を表示可能な画素アレイを有しており、前記デコーダ／ドライバは4対3のノーマル画面に対応した映像信号を該表示パネルに入力し、前記タイミングジェネレータはノーマル画面をワイド画面に適合して表示する様にそのリニアリティを調整可能なFM変調手段を備えている事の特徴とする請求項1記載の表示装置。

【請求項6】 前記表示パネルはアクティブマトリクス型の液晶表示パネルである事の特徴とする請求項1記載の表示装置。

【請求項7】 行列配置した画素アレイとその駆動回路を内蔵する表示パネルにクロック信号を供給し該駆動回路を動作させて該画素アレイに画面を表示させる為のタイミングジェネレータであって、

与えられたリニアリティデータに従って該クロック信号の周波数を変調するFM変調手段を備えており、該表示

2

パネルに表示された画面のリニアリティを調整する事の特徴とするタイミングジェネレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型の表示パネルと、これに映像信号を入力するデコーダ／ドライバと、表示パネルにクロック信号を入力するタイミングジェネレータとを備えた表示装置に関する。より詳しくは、表示パネルに表示された画面のリニアリティ調整技術に関する。

【0002】

【従来の技術】アクティブマトリクス型の表示パネルは行状に配線した複数のゲートラインと列状に配線した複数の信号ラインと両者の各交差部に設けられた複数の画素とを有している。この画素は、例えば微細な液晶セルからなり行列状に配置して画面を構成する。個々の画素に対応してこれをスイッチングする為薄膜トランジスタが集積形成されている。又、垂直駆動回路を備えており、タイミングジェネレータから入力される垂直クロック信号に応じて動作し各ゲートラインを順次垂直走査して一水平期間毎に一行分の画素を選択する。さらに、水平駆動回路を有しており、同じくタイミングジェネレータから入力される水平クロック信号に応じて一水平期間内で各信号ラインを順次走査し、デコーダ／ドライバから入力された映像信号をサンプリングして、選択された一行分の画素に点順次でこれを書き込む。

【0003】

【発明が解決しようとする課題】ところで、現行のテレビジョン用映像信号には種々の規格があり、例えばNTSC方式に従った映像信号と、ハイビジョン方式の映像信号が挙げられる。図8に示す様に、NTSC方式の映像信号は4対3のアスペクト比を有する表示パネルに入力されノーマル画面が写し出される。一方、ハイビジョン方式の映像信号は16対9のアスペクト比を有する表示パネルに入力され、横長のワイド画面が写し出される。この様に、現行の表示パネルには4対3のアスペクト比を有するノーマル画面用と、16対9のアスペクト比を有するワイド画面用があり、各々映像信号の規格に従って使い分けられる。しかしながら、ハイビジョン方式対応のワイド画面表示パネルに、NTSC方式の映像信号が入力される場合もある。即ち、ワイド画面対応の表示パネルで、ハイビジョン方式の映像信号とNTSC方式の映像信号を兼用する場合である。この時、表示パネルに内蔵した垂直駆動回路及び水平駆動回路はタイミングジェネレータから供給される一定のクロック信号に応じて動作する為、NTSC方式の映像信号を入力した場合、横方向に伸長された（即ち上下方向に潰れた）画面がワイド対応の表示パネルに写し出される事になる。即ち、従来のワイド対応表示パネルでは水平方向あるいは垂直方向の画面リニアリティを調整できない為、間延

(3)

特開平8-65609

3

びした画面が写し出される事になり解決すべき課題となっている。

【0004】ところでテレビジョン用のディスプレイには表示パネルの他に従来ブラウン管が広く採用されている。図9に示す様に、ブラウン管にも4対3のアスペクト比を有するノーマル対応と、16対9のアスペクト比を有するワイド対応とがある。ブラウン管を用いた場合、NTSC方式の映像信号をワイド対応にする為、画像処理を行なっている。即ち、NTSC方式の映像信号を一旦画像メモリ等へ書き込み所定の演算処理を施してリニアリティを調節している。図9に示した例では、ワイド画面の周辺だけを伸長する事により見栄えの良い画像を写し出しており、パノラマモードあるいはシネラマモードと呼ばれている。この様に、画像メモリ等を用いれば画面のリニアリティは自由に調整する事が可能になる。しかしながら、映像信号をデジタル処理する方式であるので、部品点数の増大を招き表示パネル等にこの方法を応用する事は必ずしも適当でない。

【0005】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は簡便な方式で表示パネルに写し出された画面のリニアリティを調整もしくは補正する技術を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかる表示装置は基本的な構成として、表示パネルと、これに映像信号を入力するデコーダ/ドライバと、該表示パネルにクロック信号を入力するタイミングジェネレータとを備えている。前記表示パネルは、行列配置した画素アレイと周辺の駆動手段とを内蔵している。この駆動手段はタイミングジェネレータから入力されたクロック信号に応じて動作し、デコーダ/ドライバから入力された映像信号を順次該画素アレイへ書き込んで画面を表示する。本発明の特徴事項として、前記タイミングジェネレータはFM変調手段を備えており、与えられたリニアリティデータに従って該クロック信号の周波数を変調し、表示された該画面のリニアリティを調整する。具体的には、前記FM変調手段は位相比較器及び電圧制御発振器を含むフェーズロックループ回路からなる。該位相比較器の入力端子には映像信号から分離した同期信号が印加され、該電圧制御発振器の入力端子には該リニアリティデータに応じた制御電圧が混合される。この結果、該電圧制御発振器の出力端子から周波数変調されたクロック信号が取り出される。

【0006】さらに具体的には、前記駆動手段は水平クロック信号に応じて該画素アレイの一行分に対し順次映像信号のサンプリングを行なう水平駆動回路を含んでいる。前記FM変調手段は与えられた水平リニアリティデータに従って該水平クロック信号を周波数変調し該表示画面の水平リニアリティを調整する。又、前記駆動手段は垂直クロック信号に応じて該画素アレイの各行を順次

4

選択する垂直駆動回路を含んでいる。前記FM変調手段は与えられた垂直リニアリティデータに従って該垂直クロック信号を周波数変調し該表示画面の垂直リニアリティを調整する。一態様によれば、前記表示パネルは16対9のワイド画面を表示可能な画素アレイを有しており例えばアクティブマトリクス型の液晶表示パネルを採用する。一方、前記デコーダ/ドライバは4対3のノーマル画面に対応した映像信号を該表示パネルに入力する。この場合、前記タイミングジェネレータに含まれるFM変調手段は、ノーマル画面をワイド画面に適合して表示する様にそのリニアリティを調整可能にする。

【0007】

【作用】本発明によれば、タイミングジェネレータがクロック信号を生成し、表示パネルに内蔵した水平駆動回路及び垂直駆動回路の動作を制御して、表示された画面のリニアリティを調整している。即ち、タイミングジェネレータはFM変調手段を有しており、クロック信号の周波数をFM変調する事により、表示画面のリニアリティ補正が可能になる。FM変調手段は予め設定されたリニアリティデータを制御電圧に変換し、フェーズロックループ回路の電圧制御発振器に印加する。水平方向のリニアリティを調整する場合には、フェーズロックループ回路の入力に水平同期信号を入力すると共に、電圧制御発振器の入力に水平リニアリティデータに対応した制御電圧を印加する。これにより、電圧制御発振回路から周波数変調された水平クロック信号が出力される。例えば、水平リニアリティデータに従って水平クロック信号が高速になった時には、映像信号のサンプリングレートが高くなる為、水平方向に画面が伸長する。一方、垂直方向のリニアリティを補正する場合は、フェーズロックループ回路の入力に垂直同期信号を入力すると共に、電圧制御発振器の入力に垂直リニアリティデータに対応した制御電圧を印加する。これにより、電圧制御発振器の出力から周波数変調された垂直クロック信号が出力される。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示装置の基本的な構成を示すブロック図である。図示する様に、本表示装置は表示パネル1とこれに映像信号を供給するデコーダ/ドライバ2と表示パネル1の駆動を制御するタイミングジェネレータ3とを備えている。表示パネル1は複数の画素が行列配置した画素アレイ4と垂直駆動回路5と水平駆動回路6とを有している。画素アレイ4は例えばハイビジョン規格に従って配列した無数の画素を含んでおり、16対9のアスペクト比を有する画面を構成する。なお、本発明はこれに限られるものではなく、画素アレイ4は例えばNTSC規格に従った4対3のアスペクト比を有する画面を構成するものであっても良い。垂直駆動回路5は一水平期間毎に一行分の画素を順次選

(4)

特開平8-65609

5

択し、一垂直期間で画面の垂直走査を一回終了する。水平駆動回路6は選択された一行分の画素に対して映像信号の一水平期間分を書き込む。

【0009】デコーダ/ドライバ2は例えば5Vの電源電圧の供給を受けるデコーダ部と12Vの電源電圧の供給を受けるドライバ部とを有している。デコーダ部は外部から入力された複合映像信号VIDEOをデコードし輝度信号とクロマ信号を取り出す。又、複合映像信号VIDEOから分離した垂直同期信号Vsync及び水平同期信号Hsyncをタイミングジェネレータ3側に転送する。ドライバ部はタイミングジェネレータ3から入力される反転信号FRPに応じて、交流化された映像信号VsigをRGB三原色毎に分けて表示パネル1側に供給する。

【0010】タイミングジェネレータ3は同期信号Vsync、Hsyncに基づいて種々のタイミング信号を作成し表示パネル1に供給してそのタイミング制御を行なう。即ち、垂直スタート信号VST及び垂直クロック信号VCKを垂直駆動回路5に供給して一行分の画素を順次選択せしめる。又、水平スタート信号HSTや水平クロック信号HCKを水平駆動回路6に供給して、選択された一行分の画素に対し映像信号Vsigの一水平期間分を書き込ませる。

【0011】本発明の特徴事項として、タイミングジェネレータ3はFM変調手段7を備えており、予め設定されたリニアリティデータに従ってクロック信号の周波数を変調し、画素アレイ4に表示された画面のリニアリティを調整する。具体的には、FM変調手段7は所定の水平リニアリティデータに従って水平クロック信号HCKを周波数変調し、表示画面の水平リニアリティを調整する。又、所定の垂直リニアリティデータに従って垂直クロック信号VCKを周波数変調し表示画面の垂直リニアリティを調整する。

【0012】図2は、図1に示したFM変調手段の具体的な構成例を示すブロック図であり、本例では水平クロック信号HCKをFM変調している。図示する様に、FM変調手段はフェーズロックループ回路(PLL)から構成されており、一水平期間毎に出力される水平同期信号Hsyncに同期して水平クロック信号HCKを出力する。PLLは電圧制御発振器(VCO)11と1/n分周器12と位相比較器(P/C)13と低域濾波器(LPF)14とからなる位相固定ループで構成されている。VCO11で生成されたHCKを分周器12で1/nに分周する。位相比較器13は分周器12の出力と水平同期信号Hsyncの位相比較を行なう。この水平同期信号はデコーダ/ドライバにより外部入力された映像信号から分離抽出されたものである。位相比較器13の出力結果はLPF14を介してエラー信号となりVCO11にフィードバックをかけその発振周波数を調整する。この結果、水平同期信号Hsyncに位相固定さ

6

れた水平クロック信号HCKが生成される。本回路の特徴事項として、設定器15を備えており、所望の水平リニアリティデータが設定されている。この水平リニアリティデータは一水平期間分に相当する長さを有している。水平リニアリティデータはアンプ16を介して対応する制御電圧に変換され、VCO11の入力端子に混合される。この制御電圧の大きさに応じてVCO11の発振周波数が変化し、HCKのFM変調が行なわれる。図示の例では、一水平期間の中央部でリニアリティデータが小さな値を示し、これに応じてHCKの周波数は比較的低くなる。これに対し、リニアリティデータは水平期間の前部及び後部で大きくなっており、これに応じてHCKの周波数が高くなる。

【0013】図3は、FM変調手段の他の具体的な構成例を示すブロック図であり、本例では垂直クロック信号VCKをFM変調している。基本的な構成は、図2に示した回路と同様であり、VCO21、1/m分周器22、P/C23、LPF24等からなるフェーズロックループ回路である。特徴事項として設定器25を備えており一垂直期間分の垂直リニアリティデータを記録している。このデータはアンプ26を介して対応する制御電圧に変換され、VCO21の入力端子に印加される。又、P/C23の入力端子には垂直同期信号Vsyncが印加される。

【0014】図4は、FM変調手段のさらに別の例を示す回路図である。本例では、HCK及びVCKの両者をFM変調して出力する。基本的には、図2に示したフェーズロックループ回路と図3に示したフェーズロックループ回路を直列に接続した構成となっており、対応する部分には対応する参照番号を付して理解を容易にしている。図示する様に、前段フェーズロックループ回路の入力端子には垂直同期信号Vsyncが印加され、VCO21からFM変調された垂直クロック信号VCKが出力される。このVCKは表示パネルに供給されると共に、水平同期信号の代わりとして後段フェーズロックループ回路の入力端子に印加される。この結果、VCO11からFM変調された水平クロック信号HCKが出力する。

【0015】次に、図5を参照して本発明にかかる表示装置の動作を詳細に説明する。例えば、映像信号Vsigとして一部に円形ボタンが含まれたVsigが表示パネルに供給されたとする。一方、水平クロック信号HCKは与えられた水平リニアリティデータに従ってFM変調されている。(A)はHCKの周波数が比較的低い場合であり、Vsigに含まれる円形ボタンが4個のHCKに同期してサンプリングされている。なお、この個数は説明を簡略化するためであり、実際はこれより多い。

(B)に示す状態では、HCKの周波数が高くなっており、Vsigに含まれる円形ボタンは7個のHCKに応じてサンプリングされている。例えば、(A)で示す様に比較的低速のHCKに応じてサンプリングされた円形

(5)

特開平8-65609

7

ボタンは、略原形通りの画像として表示される。一方、高速のHCKでサンプリングされた場合は、(B)に示す様に横方向に伸長した画像となって写し出される。この様に、本発明ではHCKの周波数を変調するだけで画面の水平方向リニアリティを自在に調整もしくは補正できる。同様に、VCKの周波数を変調する事により画面垂直方向のリニアリティを自在に調整もしくは補正する事が可能になる。

【0016】図6はリニアリティ補正の例を示す模式図である。何れの場合も4対3のノーマル画面に対応した映像信号を表示パネルに入力した場合であり、これに対し表示パネルは16対9のワイド画面を表示可能な画素アレイを備えている。タイミングジェネレータに内蔵されたFM変調手段はノーマル画面をワイド画面に適合して表示する様にそのリニアリティを調整している。例えば(A)の場合、水平リニアリティデータが一水平期間の前部及び後部で大きくなっており、表示された画面は左右周辺だけ横方向に伸長している。(B)の例では垂直リニアリティデータが一垂直期間の前部及び後部で大きな値を有しており、表示された画面は周辺部だけ上下に伸長している。(C)に示す例は、(A)と(B)を複合したものであり、画面周辺部がコーナ部に向って伸長している。

【0017】最後に、図7を参照して図1に示した表示パネルの具体的な構成例を説明する。この表示パネルは行状に配線した複数のゲートラインXと列状に配線した複数の信号ラインYと両者の交差部に設けられた複数の画素PXLとを有している。この画素PXLは例えば微細な液晶セルからなり行列状に配置して画素アレイを構成する。個々の画素PXLに対してこれを駆動する為薄膜トランジスタTr等のスイッチング素子が集積形成されている。又、垂直駆動回路5を備えており、VST及びFM変調されたVCKに応じて各ゲートラインXを順次垂直走査して一水平期間毎に一行分の画素PXLを選択する。一垂直期間で一回の垂直走査を完了する。さらに、水平駆動回路6を有しており、HST及び周波数変調されたHCKに応じて一水平期間内で各信号ラインYを順次走査し、ビデオライン30から供給された映像信号Vsigをサンプリングして選択された一行分の画素PXLに点順次で書き込む。具体的には、各信号ラインYは水平スイッチHSWを介してビデオライン30に接続されており外部から映像信号Vsigの供給を受ける。水平駆動回路6はシフトレジスタからなり、HCK

8

に応じてHSTを順次転送する事により、順次サンプリングパルスφ_Hを出力し、各水平スイッチHSWを順次開閉駆動して各信号ラインYに映像信号Vsigをサンプリングする。

【0018】

【発明の効果】以上説明した様に、本発明によれば表示パネルに内蔵される駆動回路を構成するシフトレジスタのクロック信号を周波数変調する事により表示画面のリニアリティ調整が可能となり、何等映像信号のデジタル処理あるいはアナログ処理を行なう必要がない。即ち、表示パネルの駆動に本来必要なクロック信号を周波数変調する事によりリニアリティ補正が実現でき、少ない部品点数で対応できるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図2】本発明の要部となるFM変調手段の一例を示す回路図である。

【図3】FM変調手段の他の例を示す回路図である。

【図4】FM変調手段の別の例を示す回路図である。

【図5】本発明にかかる表示装置の動作説明に供する模式図である。

【図6】画面リニアリティ補正の例を示す模式図である。

【図7】本発明にかかる表示装置に組み込まれる表示パネルの一例を示すブロック図である。

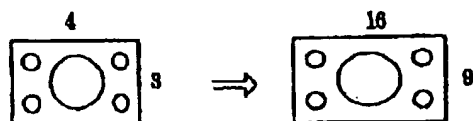
【図8】本発明の課題説明に供する模式図である。

【図9】同じく本発明の課題説明に供する模式図である。

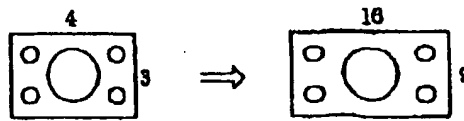
【符号の説明】

- 1 表示パネル
- 2 デコーダ/ドライバ
- 3 タイミングジェネレータ
- 4 画素アレイ
- 5 垂直駆動回路
- 6 水平駆動回路
- 7 FM変調手段
- 11 電圧制御発振器
- 12 1/n分周器
- 13 位相比較器
- 14 低域濾波器
- 15 設定器
- 16 アンパ

【図8】



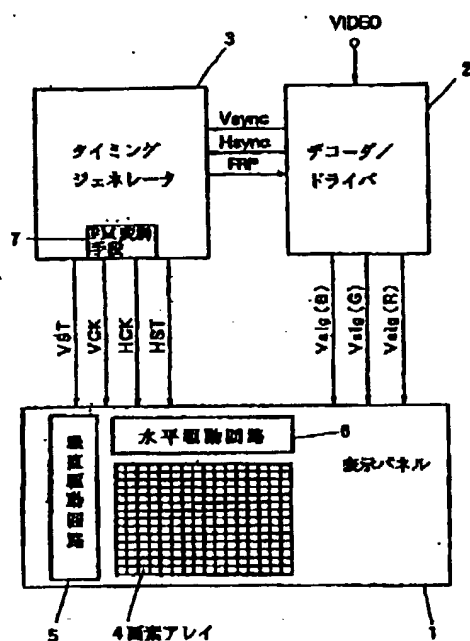
【図9】



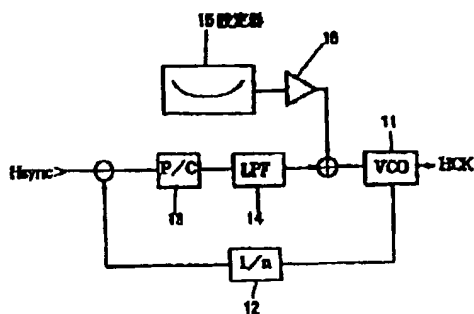
(6)

特開平8-65609

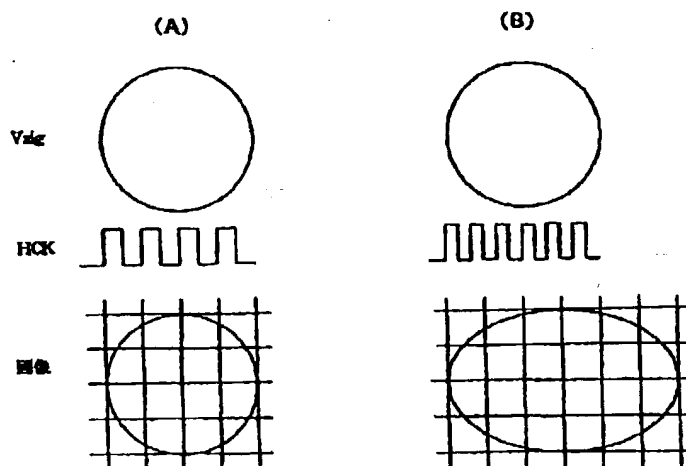
【図1】



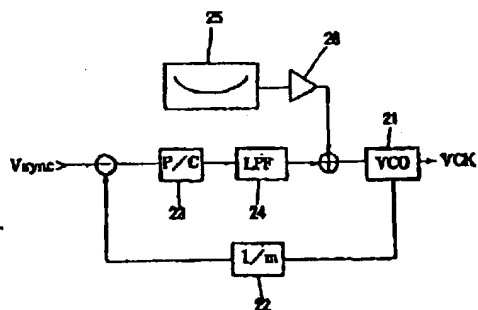
【図2】



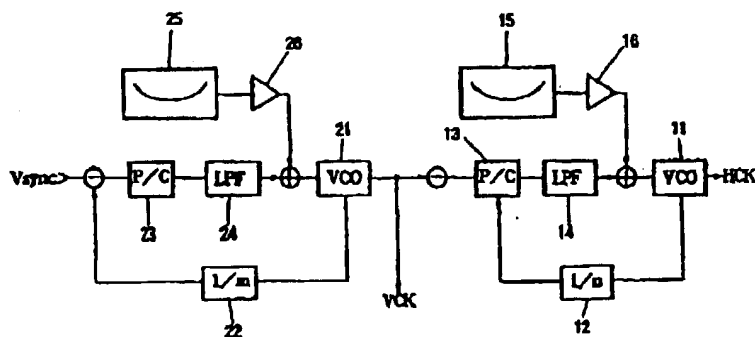
【図5】



【図3】



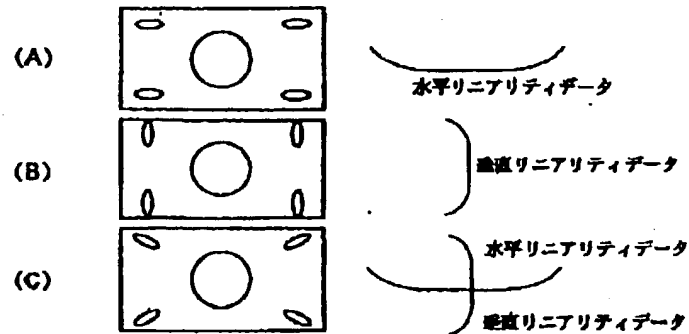
【図4】



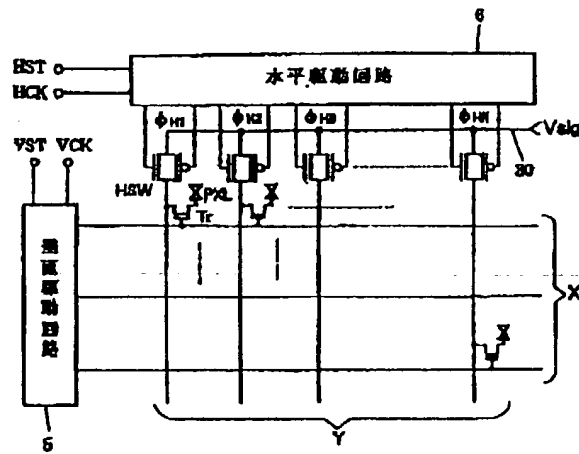
(7)

特開平8-65609

【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁶

G09G 5/00

識別記号 片内整理番号

520 W 9377-5H

F I

技術表示箇所